

#2

Docket No.: 50090-459

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Takashi YAMADA

Serial No.:

Group Art Unit:

Filed: December 04, 2001

Examiner:

For: METHOD OF TESTING SEMICONDUCTOR STORAGE DEVICE



**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application Number 2001-149214, Filed May 18, 2001

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

A handwritten signature in black ink, appearing to read "S. Becker".

Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:kjw
Date: December 4, 2001
Facsimile: (202) 756-8087

日本国特許
JAPAN PATENT OFFICE

G503 US #
5090-459 2
Takashi Yamada
December 21, 2001
McDermott, Miller & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2001年 5月18日

出願番号

Application Number:

特願2001-149214

出願人

Applicant(s):

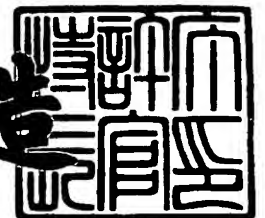
三菱電機株式会社



2001年 5月31日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3050393

【書類名】 特許願

【整理番号】 530892JP01

【提出日】 平成13年 5月18日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 29/00
G01R 31/28
H01L 21/66

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 山田 孝

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100082175

【弁理士】

【氏名又は名称】 高田 守

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100066991

【弁理士】

【氏名又は名称】 葛野 信一

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100106150

【弁理士】

【氏名又は名称】 高橋 英樹

【電話番号】 03-5379-3088

【選任した代理人】

【識別番号】 100108372

【弁理士】

【氏名又は名称】 谷田 拓男

【電話番号】 03-5379-3088

【手数料の表示】

【予納台帳番号】 049397

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置の試験方法

【特許請求の範囲】

【請求項 1】 半導体記憶装置の試験装置に複数のテストパターンを設定し、上記試験装置に接続された複数個の被試験半導体記憶装置に異なるテストパターンを適用すると共に、上記各被試験半導体記憶装置の試験結果出力が所定の許容範囲内にあるか否かを判定するようにしたことを特徴とする半導体記憶装置の試験方法。

【請求項 2】 試験結果出力にもとづいて、許容範囲を越えた被試験半導体記憶装置の不良ビット・ラインの数と冗長ラインの数を比較し、冗長ラインで置き換えて救済し得る半導体記憶装置を決定するようにしたことを特徴とする請求項 1 記載の半導体記憶装置の試験方法。

【請求項 3】 試験はテストパターンを変えて複数回実施することを特徴とする請求項 1 または請求項 2 記載の半導体記憶装置の試験方法。

【請求項 4】 被試験半導体記憶装置が不揮発性である時は、消去テストと書き込みテストを行なうようにしたことを特徴とする請求項 1 ～請求項 3 のいずれか 1 項記載の半導体記憶装置の試験方法。

【請求項 5】 テストパターンは、電圧、時間及び信号の組み合わせによって構成されることを特徴とする請求項 1 ～請求項 4 のいずれか 1 項記載の半導体記憶装置の試験方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置の試験方法に関するものである。

【0002】

【従来技術】

図 3 は、半導体記憶装置に対する従来試験方法を説明するための概略図である。この図において、1 は被試験半導体記憶装置で、周知のように、ビット線、ワード線に沿って多数の半導体メモリセル 2 が配置されている。

3、4はビット線、ワード線に対応して適宜の数、設けられている冗長ライン、5は試験時に電源や信号、テストパターンを受け入れると共に、テスト結果を送出するための端子である。6は被試験半導体記憶装置1を試験する試験装置で、被試験半導体記憶装置1に対して電源を供給する電源端子7と、テストのための信号、テストパターンを供給する信号端子8と、被試験半導体記憶装置1からのテスト結果出力を受け取る結果出力端子9とを有する。

【0003】

図4は、従来の試験方法を示すフロー図で、不揮発性記憶装置を対象とした場合を示している。即ち、ステップS41において、試験を開始し、ステップS42で消去テストを行なう。このテストは試験装置6に接続された全ての被試験半導体記憶装置に同一電圧を同一時間印加して行なうもので、詳細については後述する。次に、ステップS43で書き込みテストを行なう。

このテストは消去と書き込みの違いを除いて消去テスト（ステップS42）と同内容である。この消去テスト（ステップS42）と書き込みテスト（ステップS43）を経てステップS44でテストが完了する。

【0004】

図5は、図4における消去テスト（ステップS42）の試験手順を示すフロー図である。ステップS51でテストを開始し、ステップS52で全ての被試験半導体記憶装置（メモリセル）に対して所定の電圧パルスと信号を所定時間印加し、一括書き込みを行なう。

図6は、被試験半導体記憶装置の閾値（ V_{th} ）の分布状態を書き込み後と消去後のそれぞれについて示したもので、縦軸がメモリセル数、横軸が V_{th} である。

ステップS52後の分布は61で示す状態にある。

次いで、ステップS53で、書き込み時とは電圧レベルの異なるパルスを所定時間印加して全メモリセルの一括消去を行なう。この時、 V_{th} も変化するため、図6に矢印62で示すように、消去後における V_{th} の分布図が図6において左方に移動する。

【0005】

次に、ステップS54でリードテストを行ない、個々の被試験半導体記憶装置

の V_{th} をチェックし、消去後における分布を確認する。

書き込みから消去に至る段階で V_{th} は図 6 の矢印 6 2 で示す方向に変化するが、 V_{th} の変化スピードが被試験半導体記憶装置によって異なるため、消去後の V_{th} の分布は図 6 に 6 3、6 4、6 5 で示すようにバラつく。

6 6 は許容範囲の H 側レベル、6 7 は同じく L 側レベルである。

6 3 の分布が許容範囲に入った中心特性であるが、許容範囲外に異常分布の不良ビット、不良ライン 6 8、6 9 を有する。6 4 と 6 5 は許容範囲外に外れた特性を示している。

【0006】

続いて、図 5 におけるステップ S 5 5 で冗長解析を行なう。これは消去後の V_{th} の分布と許容範囲 6 6、6 7 との対比により不良ビット、不良ラインの数をチェックすると共に、不良ビット、不良ラインの数が冗長ライン（図 3 の 3、4）の数より多いか少ないかをチェックし、少ない場合は全ての不良ビット、不良ラインを冗長ライン 3、4 で置き換えることによって救済することを決定し、多い場合には冗長ライン 3、4 の数だけ置き換えて救済することを決定する。

図 6 の例では、6 3 の分布は 6 8、6 9 の異常分布を示す不良ビット、不良ラインのセル数が少ないため、全てを冗長ラインによって置き換えて救済することが可能であるが、6 4 の分布では、許容範囲の H 側レベル 6 6 の外側に多量の不良ビット、不良ラインがあり、また、6 5 の分布では、許容範囲の L 側レベル 6 7 の外側に多量の不良ビット、不良ラインがあるため、全てを冗長ラインで置き換えて救済することは困難である。

次いで、ステップ S 5 6 では、冗長ラインによって救済できなかった不良ビット、不良ラインを持つ被試験半導体記憶装置を不良品として判定し、ステップ S 5 7 でテストを完了する。

【0007】

【発明が解決しようとする課題】

従来の半導体記憶装置の試験方法は、以上のように構成され、全ての被試験半導体記憶装置に対して同一電圧、同一時間の同一条件でテストが行なわれ、かつ一括書き込みから一括消去へ、またはその逆の操作において、一度電圧レベルが

変更されるだけであり、その状態で定まる V_{th} の分布でリードテストが行なわれるため、 V_{th} の分布幅が大きくなり、あるいは分布幅は小さいが位置のバラツキが大きい分布をするなど許容範囲を外れやすくなるという問題点があった。

また、近年は微細加工等に起因して分布幅が小さくなる傾向にあるが、許容範囲も小さくなりつつあるのに加え、記憶容量の増大に対応してメモリセルの数が増えると分布幅が大きくなる傾向があり、やはり許容範囲を外れやすくなるという問題点があった。

【0008】

この発明は、上記のような問題点を解消するためになされたもので、複数の被試験半導体記憶装置に対して最適化された試験を行ない、従来の試験方法では救済することができなかったものの中から、かなりのものを救済することが可能な半導体記憶装置の試験方法を提供することを目的とする。

【0009】

【課題を解決するための手段】

この発明に係る半導体記憶装置の試験方法は、半導体記憶装置の試験装置に複数のテストパターンを設定し、試験装置に接続された複数個の被試験半導体記憶装置に異なるテストパターンを適用すると共に、各被試験半導体記憶装置の試験結果出力が所定の許容範囲内にあるか否かを判定するようにしたものである。

【0010】

この発明に係る半導体記憶装置の試験方法は、また、試験結果出力にもとづいて、許容範囲を越えた被試験半導体記憶装置の数と冗長ラインの数を比較し、冗長ラインで置き換えて救済し得る半導体記憶装置を決定するようにしたものである。

【0011】

この発明に係る半導体記憶装置の試験方法は、また、テストパターンを変えて複数回の試験が実施されるものである。

【0012】

この発明に係る半導体記憶装置の試験方法は、また、被試験半導体記憶装置が不揮発性である時は、消去テストと書き込みテストを行なうようにしたものである。

る。

【 0 0 1 3 】

この発明に係る半導体記憶装置の試験方法は、また、テストパターンが、電圧、時間及び信号の組み合わせによって構成されるものである。

【 0 0 1 4 】

【発明の実施の形態】

実施の形態 1.

以下、この発明の実施の形態 1 を図にもとづいて説明する。

図 1 は、実施の形態 1 の試験方法を示すフロー図である。即ち、ステップ S 1 1 で試験を開始し、ステップ S 1 2 で試験装置に複数のテストパターンを設定し、試験装置に接続される複数の被試験半導体記憶装置に対して異なるテストパターンを適用して試験を行なう。

テストパターンの適用は、全ての被試験半導体記憶装置に対してそれぞれ異なるテストパターンを適用する場合もあるが、限られたいくつかの被試験半導体記憶装置に対して同じテストパターンを適用する場合もある。

これは、全ての被試験半導体記憶装置に対して同一のテストパターンを適用し、同一条件で試験を行っていた従来の試験方法と相違する点である。

なお、リードテストによる V_{th} のチェック及びそれにもとづく冗長解析、不良品判定等の方法は従来の試験方法と同様であるため説明を省略し、ステップ S 1 3 で試験を完了する。

【 0 0 1 5 】

この実施の形態によれば、各被試験半導体記憶装置に対して異なるテストパターンを適用し、最適化された試験条件とすることが可能であるため、従来の試験方法では救済不可と判定されていたものの中から、かなりのものを救済することが可能となる。

【 0 0 1 6 】

実施の形態 2.

次に、この発明の実施の形態 2 を図にもとづいて説明する。

図 2 は、実施の形態 2 の試験方法を示すフロー図である。即ち、この実施の形

態は、複数回の試験を設定し、冗長ビット、冗長ラインによる救済をも含めて全ての試験で有効と判定された半導体記憶装置を良品と判定するものである。

なお、図 2 は、試験回数が 2 回の場合を示している。

即ち、ステップ S 2 1 で試験を開始し、ステップ S 2 2 で実施の形態 1 と同様に、試験装置に複数のテストパターンを設定し、試験装置に接続される複数の被試験半導体記憶装置に対して異なるテストパターンを適用して 1 回目の試験を行なう。

テストパターンの適用は、全ての被試験半導体記憶装置に対してそれぞれ異なるテストパターンを適用する場合もあるが、限られたいくつかの被試験半導体記憶装置に対して同じテストパターンを適用する場合もある。

【 0 0 1 7 】

この試験においても、リードテストによる V_{th} のチェック及びそれにもとづく冗長解析、不良品判定等の方法は従来 of 試験方法と同様であるため説明を省略する。次いで、ステップ S 2 3 で 1 回目の試験結果を使用し、1 回目の試験で救済された被試験半導体記憶装置をも含めて 1 回目の試験で有効と判定された複数の被試験半導体記憶装置に対して 1 回目とは異なるテストパターンを適用して 2 回目の試験を行なう。試験の手順、判定の方法等は 1 回目の試験と同じである。

2 回目の試験においても有効と判定された被試験半導体記憶装置を良品と判定し、ステップ S 2 4 で試験を完了する。

【 0 0 1 8 】

【発明の効果】

この発明に係る半導体記憶装置の試験方法は、半導体記憶装置の試験装置に複数のテストパターンを設定し、試験装置に接続された複数個の被試験半導体記憶装置に異なるテストパターンを適用すると共に、各被試験半導体記憶装置の試験結果出力が所定の許容範囲内にあるか否かを判定するようにしたため、従来の試験方法では救済不可と判定され不良品とされていた半導体記憶装置の中から、かなりのものを救済することが可能となる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 の試験方法を示すフロー図である。

【図 2】 この発明の実施の形態 2 の試験方法を示すフロー図である。

【図 3】 従来の試験方法を説明するための概略図である。

【図 4】 従来の試験方法を示すフロー図で、不揮発性記憶装置を対象とした場合を示すものである。

【図 5】 図 4 における消去テストの試験手順を示すフロー図である。

【図 6】 被試験半導体記憶装置の閾値 (V_{th}) の分布状況を示す説明図である。

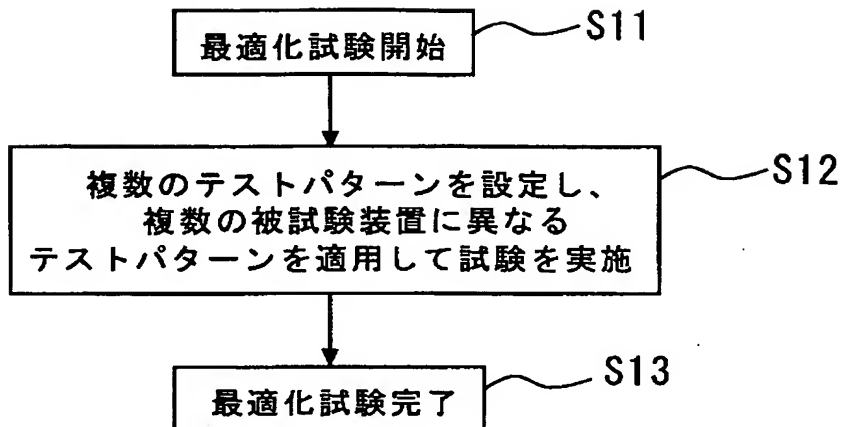
【符号の説明】

1 被試験半導体記憶装置、 2 メモリセルアレイ、 3, 4 冗長ライン、 5 端子、 6 試験装置、 7 電源端子、 8 信号端子、 9 結果出力端子。

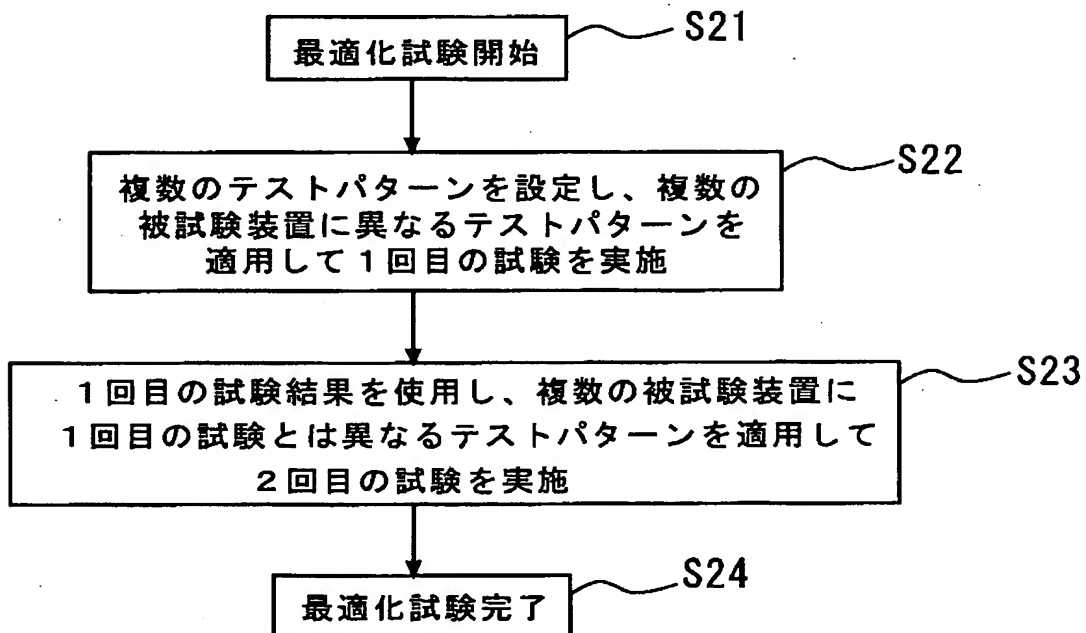
【書類名】

図面

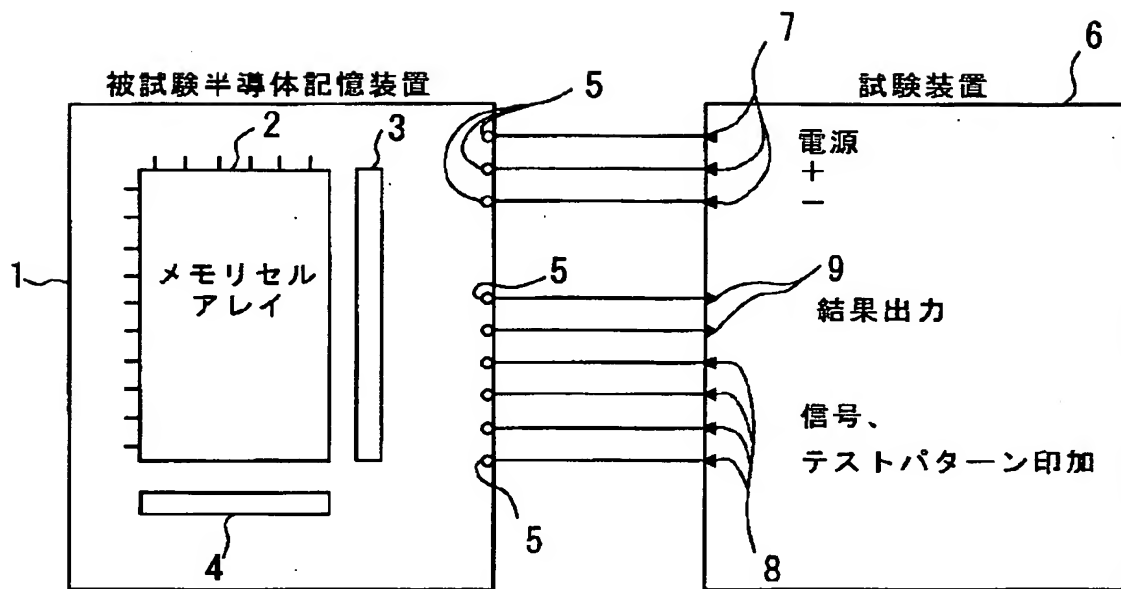
【図 1】



【図 2】

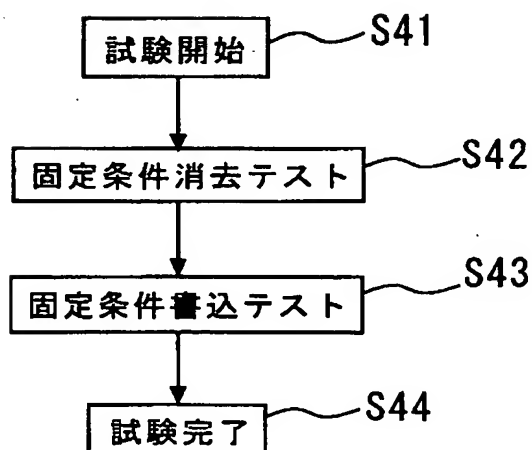


【図 3】

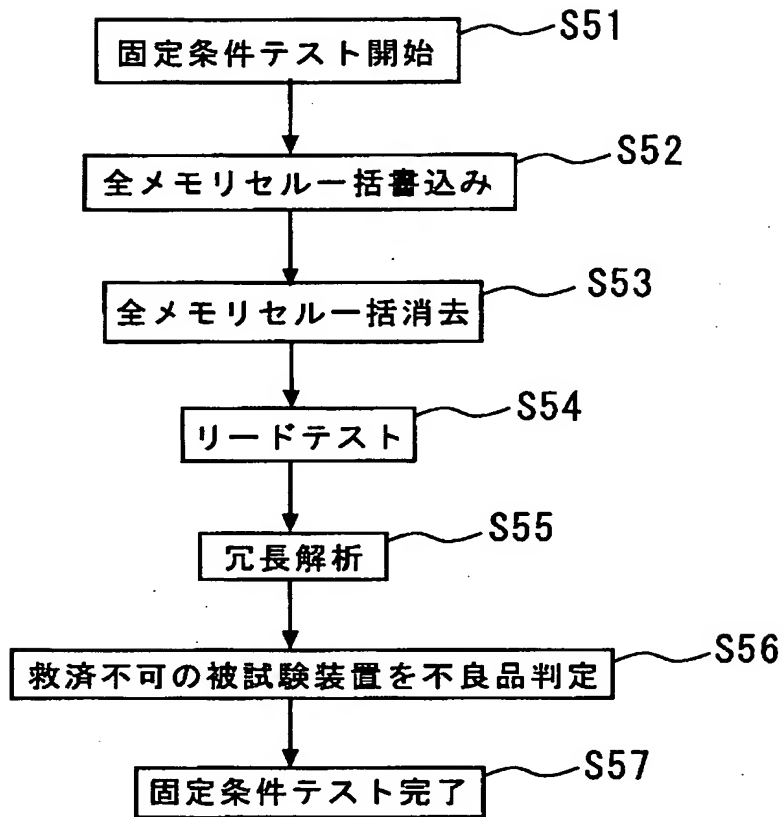


- 1 : 被試験半導体記憶装置
- 2 : メモリセルアレイ
- 3, 4 : 冗長ライン
- 5 : 端子
- 6 : 試験装置
- 7 : 電源端子
- 8 : 信号端子
- 9 : 結果出力端子

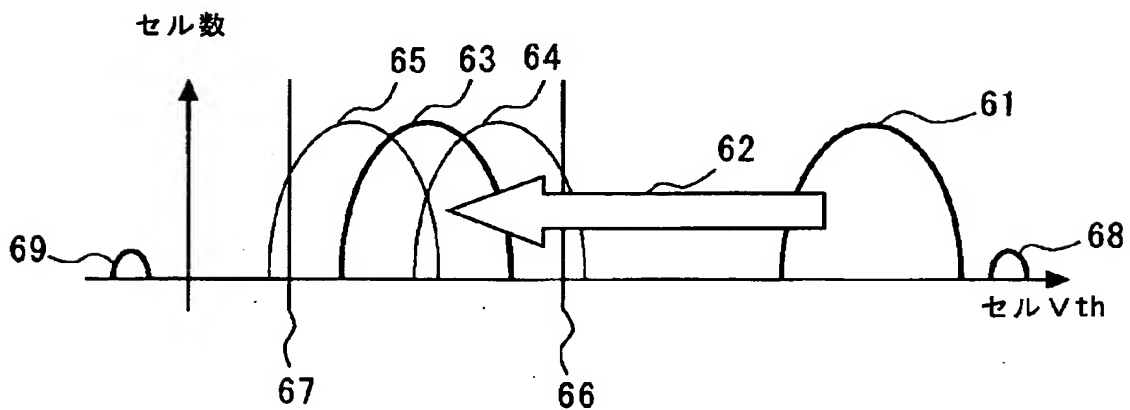
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 複数の被試験半導体記憶装置に対して最適化された試験を行ない、従来の試験方法では救済することができず不良品と判定されたものの中から、かなりのものを救済することが可能な試験方法を提供する。

【解決手段】 半導体記憶装置の試験装置 6 に複数のテストパターンを設定し、試験装置に接続された複数個の被試験半導体記憶装置 1 に異なるテストパターンを適用すると共に、各被試験半導体記憶装置 1 の試験結果出力が所定の許容範囲内にあるか否かを判定するようにした方法。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社